> "Ao contrário, continuou Tweedledee, se foi assim, poderia ser; e se fosse assim, seria; mas como não é, então não é. Isso é Lógico" (Lewis Carroll, Through the Looking-glass: And what Alice Found There, 1875).

Latches

Paulo Ricardo Lisboa de Almeida

DSBD

Alguns trechos desses slides foram baseados nas aulas de Marco Zanata: web.inf.ufpr.br/mazalves/dis-circuitos-digitais

UFPR
UNIVERSIDADE FEDERAL DO PARANÁ

Relembrando

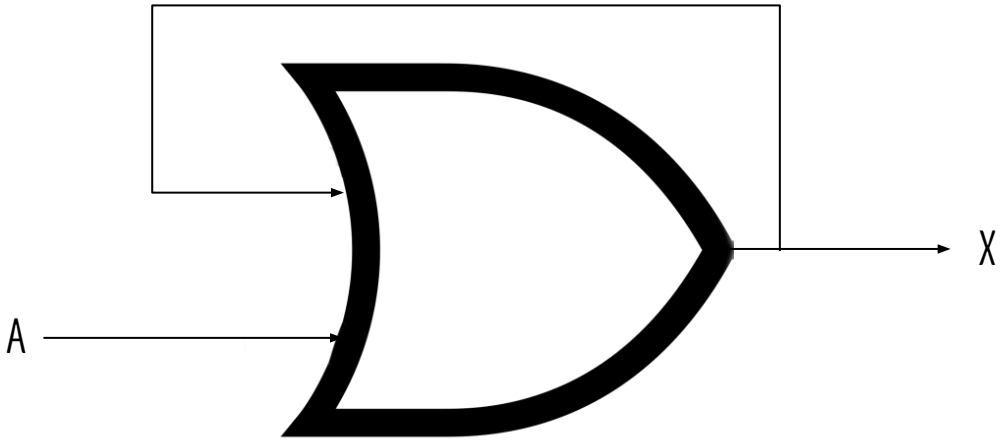
Circuito combinacional: não possui memória. A saída depende exclusivamente da entrada.

Combinacional versus Sequencial

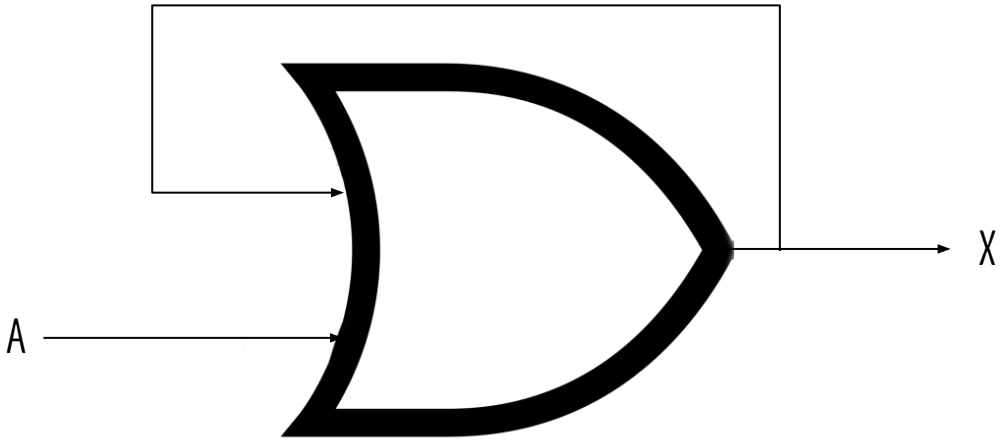
Circuito combinacional: não possui memória. A saída depende exclusivamente da entrada.

Circuito sequencial: possuem memória interna. A saída depende da entrada e do estado da memória.

Exemplo

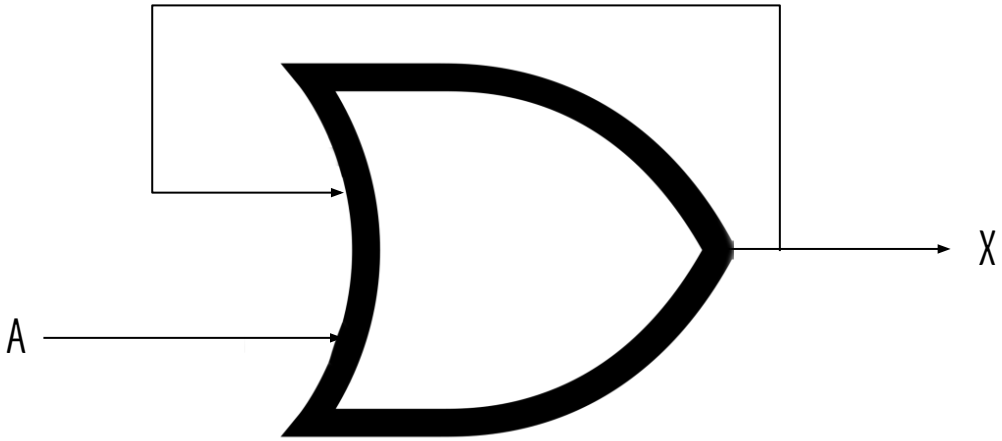


Exemplo



A	X_t	X_{t+1}
0	0	
0	1	
1	0	
1	1	

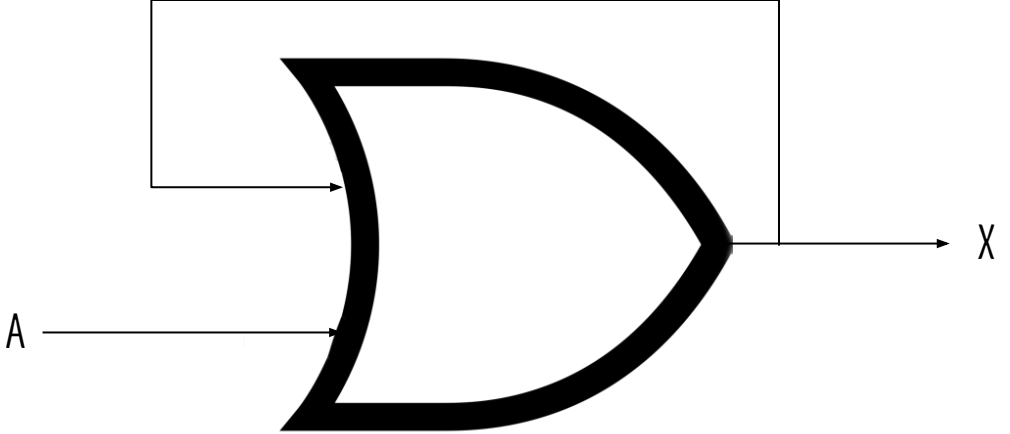
Exemplo

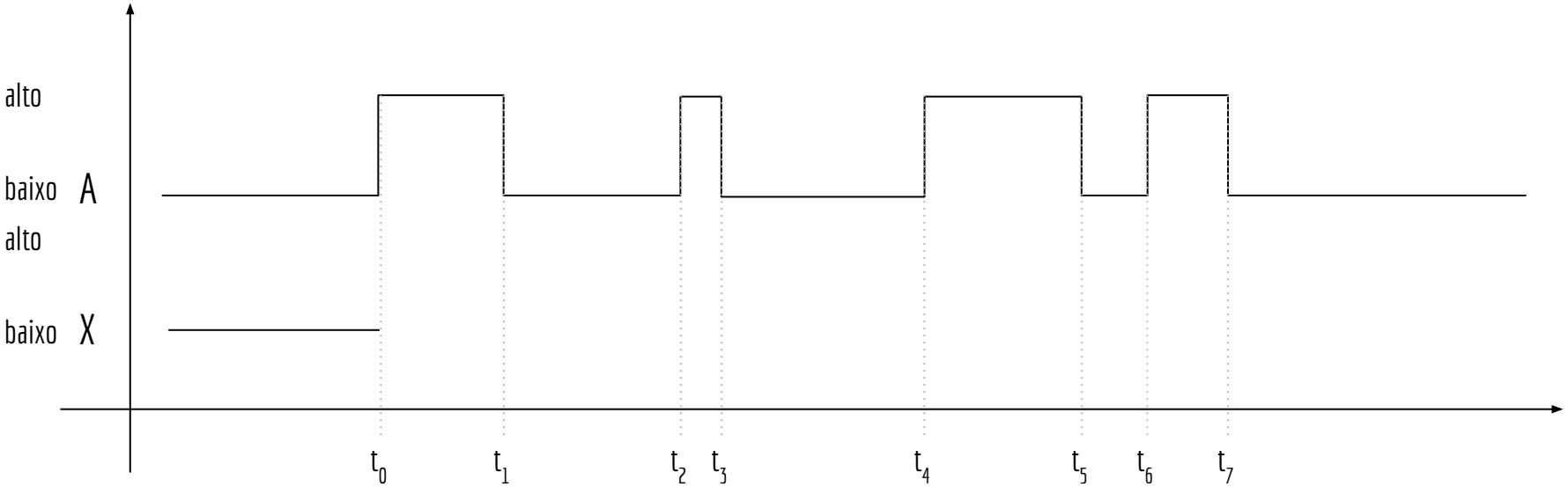


A	X_t	X_{t+1}
0	0	0
0	1	1
1	0	1
1	1	1

Faça você mesmo

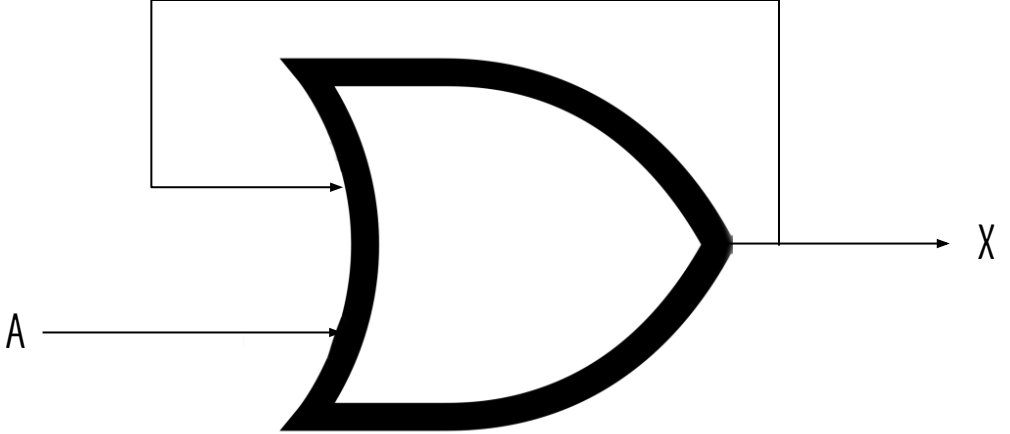
Faça o diagrama de temporização para a saída X.

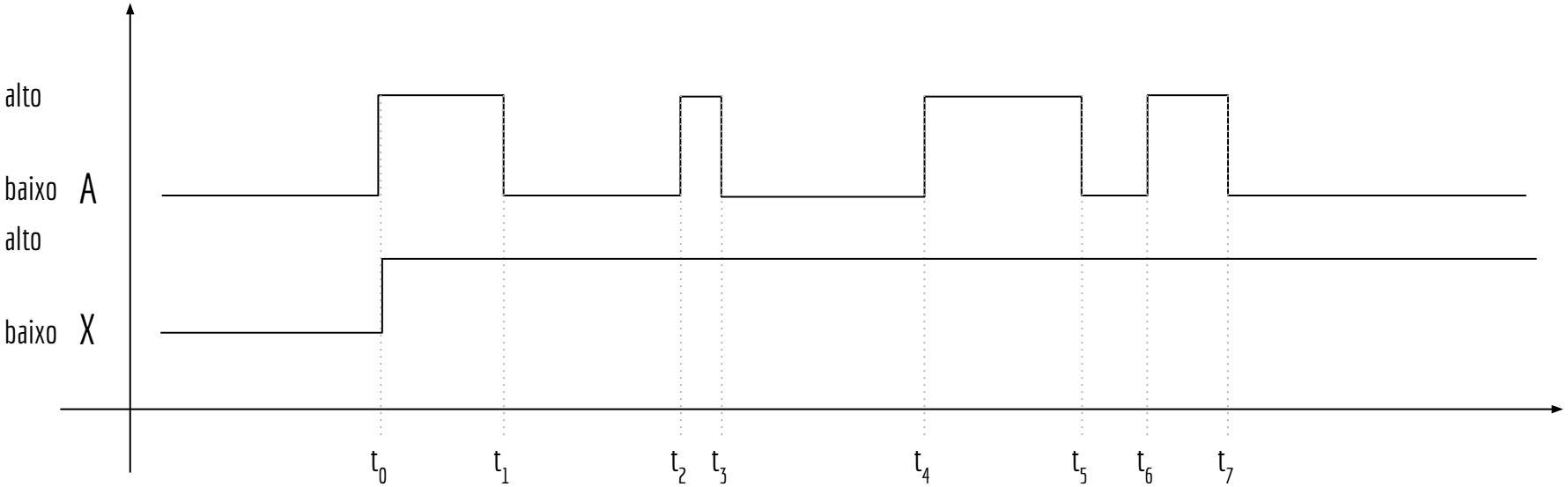




Faça você mesmo

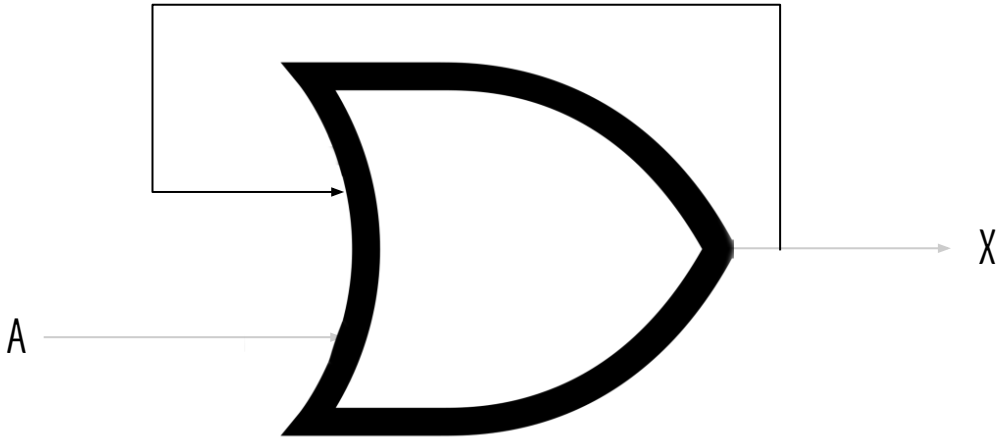
Faça o diagrama de temporização para a saída X.





Feedback

Circuitos sequenciais geralmente apresentam algum tipo de *feedback* (retroalimentação)



Latches

Latch: Circuito básico de memória.

Circuito sequencial.

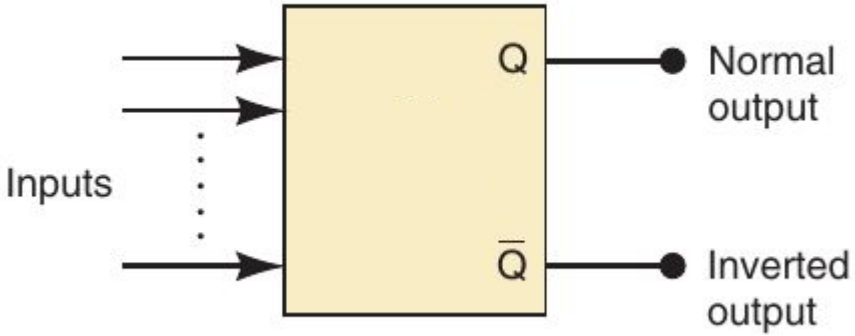
Tipo de **Multivibrador biestável.**

Possuem dois estados estáveis.

0 ou 1.

Latch

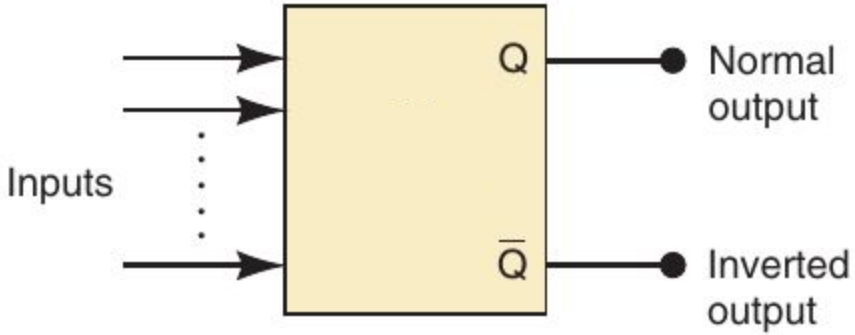
Diagrama geral de um Latch.



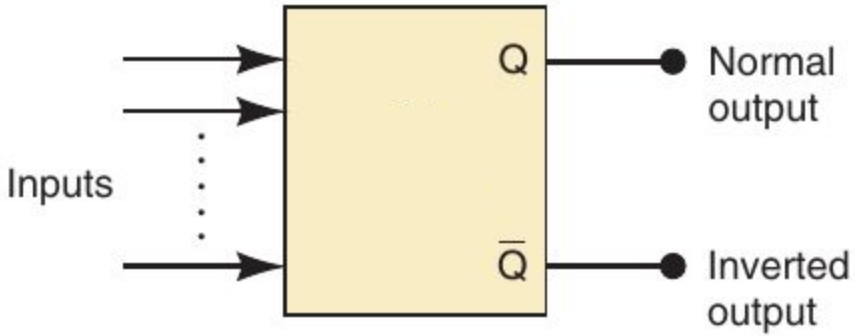
Latch

Duas saídas:

Saída normal Q, e a saída invertida $\overline{Q}$.



Latch



Duas saídas:

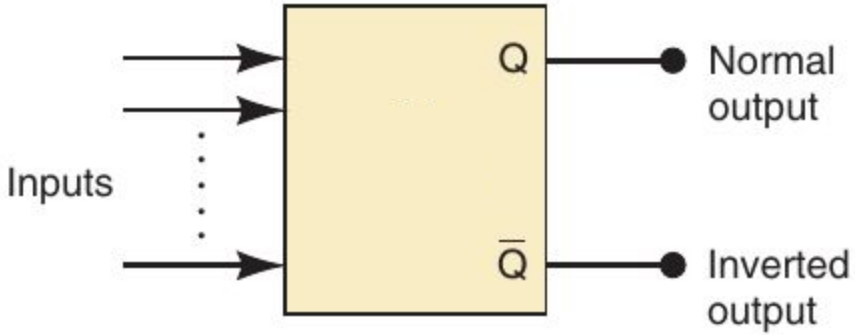
Saída normal Q, e a saída invertida $\overline{Q}$.

Quando Q=1 e $\overline{Q}$=0 o lach está em **set**.

anglicismo

Ao inserir entradas que fazem com que Q=1 estamos **setando** o latch.

Latch



Duas saídas:

Saída normal Q, e a saída invertida $\overline{Q}$.

Quando Q=1 e $\overline{Q}$=0 o lach está em **set**.

Ao inserir entradas que fazem com que Q=1 estamos **setando** o latch.

Quando Q=0 e $\overline{Q}$=1 o latch está em **reset**.

Ao inserir entradas que fazem com que Q=0 estamos **resetando** (*resetting*) o latch.

Latch S R

Latch **S**et **R**eset.

Tipo de latch com duas entradas.

Uma **S** e uma **R.**

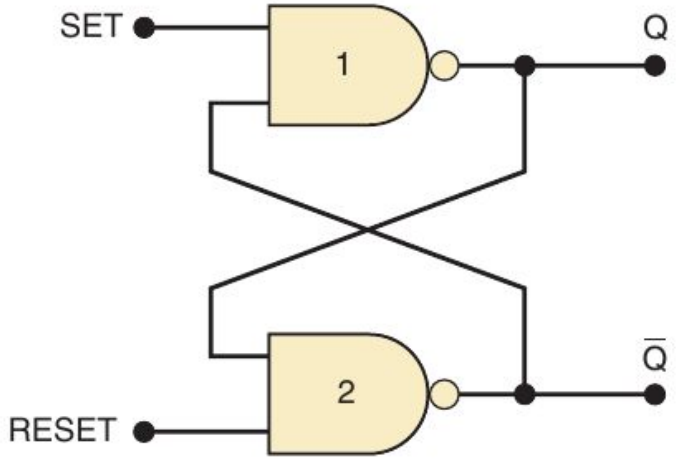
Construído com NANDs ou NORs.

Latch com NANDs

Construído com duas portas NAND ligadas com feedback.

Set e reset normalmente estão em **nível lógico alto (1).**

Exceto quando desejamos trocar o estado do latch.



Setando o Latch

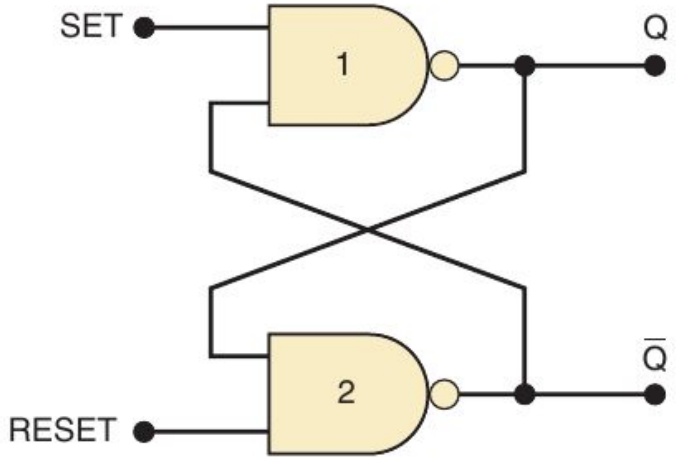
O **set** é feito através de um **pulso de nível lógico baixo (0)** na entrada **S**et.

Reset é mantido em alto.

Temos dois comportamentos.

Um caso Q fosse 0 antes do pulso.

Um caso Q fosse 1 antes do pulso.



Caso Q fosse 0 antes do pulso

Entre t_0 e t_1 enviamos um pulso de nível baixo em set.

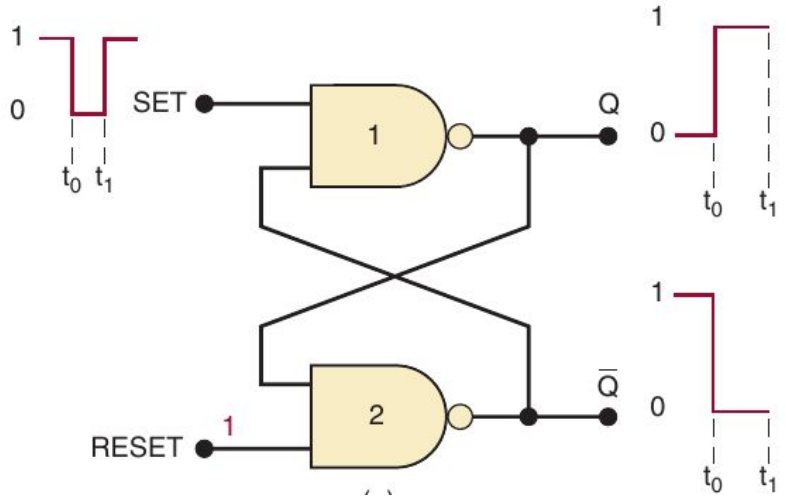
O NAND-1 recebe 0 do set, e 1 de $\overline{Q}$, logo Q=1.

O NAND-2 recebe 1 do RESET e 1 de Q, logo $\overline{Q}$=0.

Após t_1 o nível em set volta para alto.

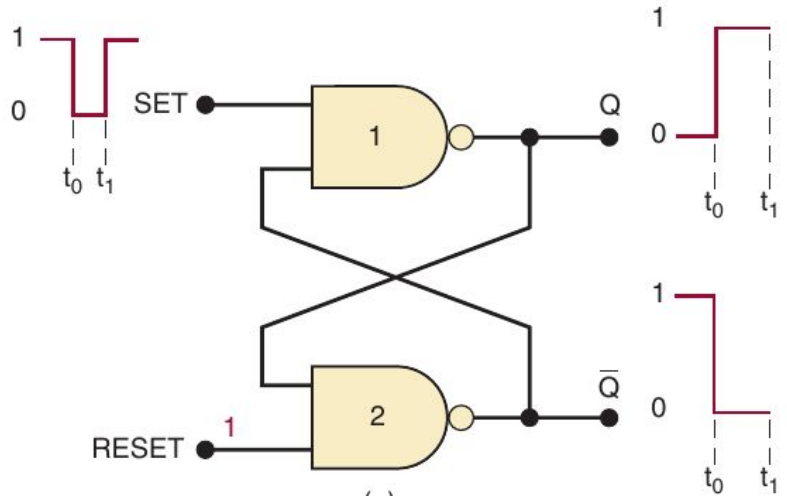
O NAND-1 recebe 1 do set, e 0 de $\overline{Q}$, logo Q=1.

O NAND-2 recebe 1 do RESET e 1 de Q, logo $\overline{Q}$=0.



Faça você mesmo

Faça a mesma análise anterior, mas agora considere que o estado do latch era Q = 1 antes do pulso.



Caso Q fosse 1 antes do pulso

Entre t_0 e t_1 enviamos um pulso de nível baixo em set.

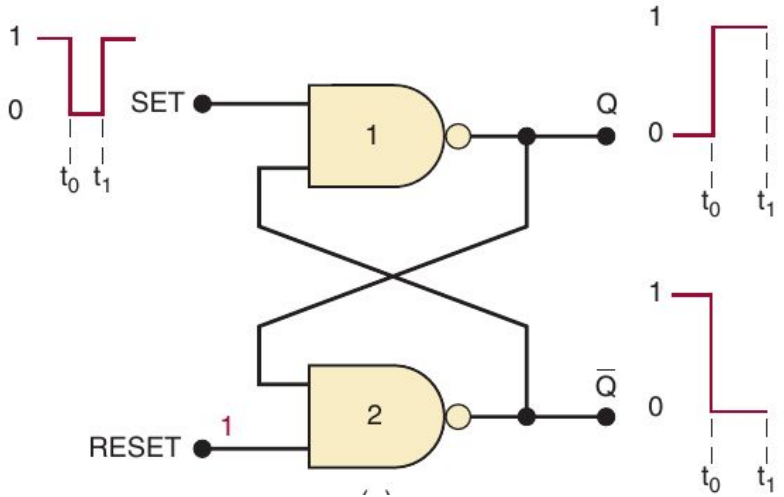
O NAND-1 recebe 0 do set, e 1 de $\overline{Q}$, logo Q permanece em 1.

O NAND-2 recebe 1 do RESET e 1 de Q, logo $\overline{Q}$ permanece em 0.

Após t_1 o nível em set volta para alto.

O NAND-1 recebe 1 do set, e 0 de $\overline{Q}$, logo Q=1.

O NAND-2 recebe 1 do RESET e 1 de Q, logo $\overline{Q}$=0.



Resetando o Latch

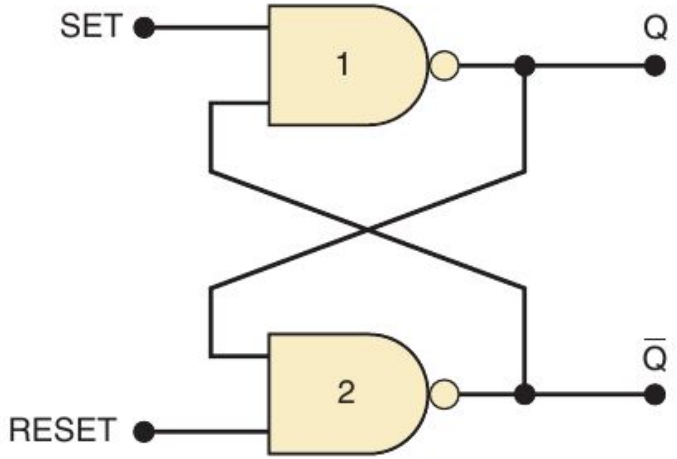
O reset é feito através de um **pulso de nível lógico baixo (0)** na entrada **R**eset.

Set é mantido em alto.

Temos dois comportamentos.

Um caso Q fosse 0 antes do pulso.

Um caso Q fosse 1 antes do pulso.



Caso Q fosse 0 antes do pulso

Entre t_0 e t_1 enviamos um pulso de nível baixo em **R**eset.

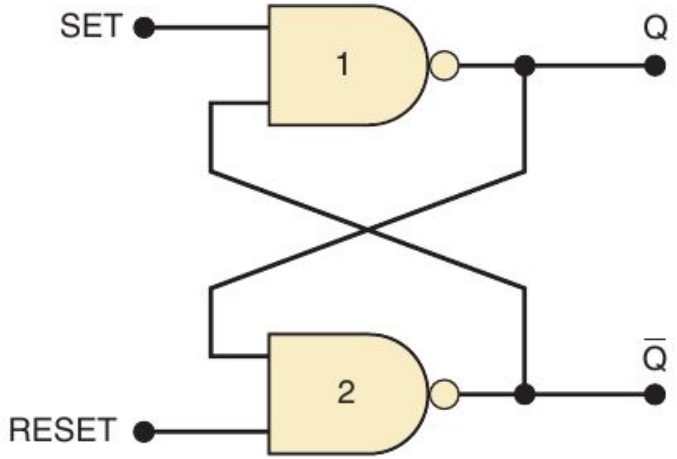
O NAND-2 recebe 0 do RESET e 0 de Q, logo $\overline{Q}$ permanece em 1.

O NAND-1 recebe 1 do set, e 1 de $\overline{Q}$, logo Q permanece em 0.

Após t_1 o nível em reset volta para alto.

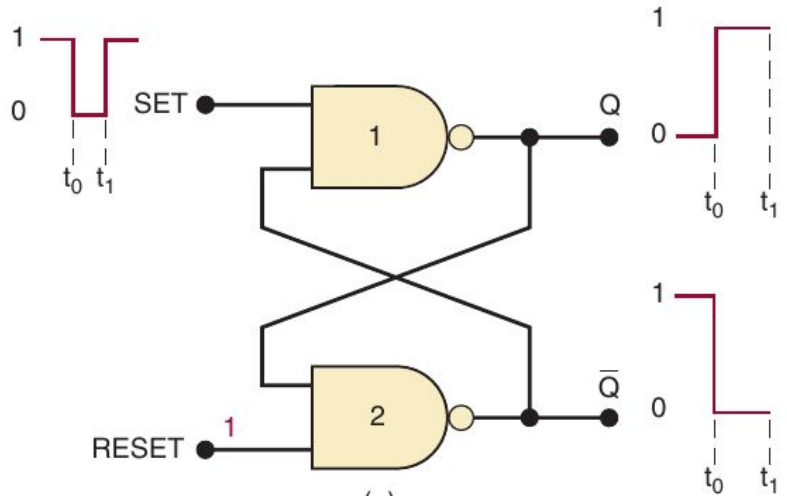
O NAND-2 recebe 1 do RESET e 0 de Q, logo $\overline{Q}$ permanece em 1.

O NAND-1 recebe 1 do set, e 1 de $\overline{Q}$, logo Q permanece em 0.



Faça você mesmo

Faça a mesma análise anterior, mas agora considere que o estado do latch era Q = 1 antes do pulso.



Caso Q fosse 1 antes do pulso

Entre t_0 e t_1 enviamos um pulso de nível baixo em **R**eset.

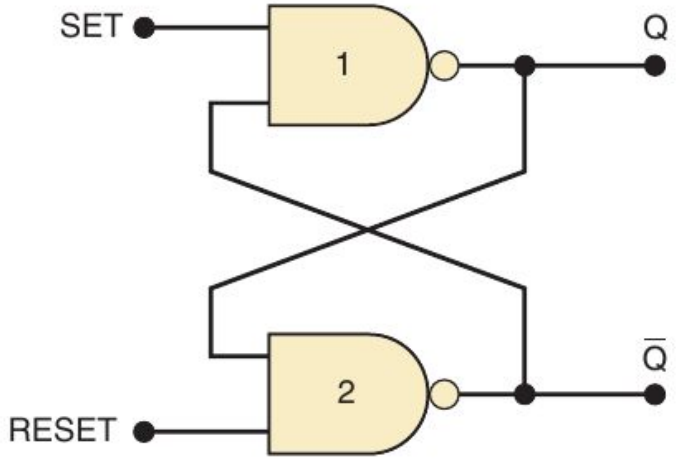
O NAND-2 recebe 0 do RESET e 1 de Q, logo $\overline{Q}$ = 1.

O NAND-1 recebe 1 do set, e 1 de $\overline{Q}$, logo Q = 0.

Após t_1 o nível em reset volta para alto.

O NAND-2 recebe 1 do RESET e 0 de Q, logo $\overline{Q}$ permanece em 1.

O NAND-1 recebe 1 do set, e 1 de $\overline{Q}$, logo Q permanece em 0.



Set e Reset simultâneos

Durante o pulso, $Q=\overline{Q}=1$.

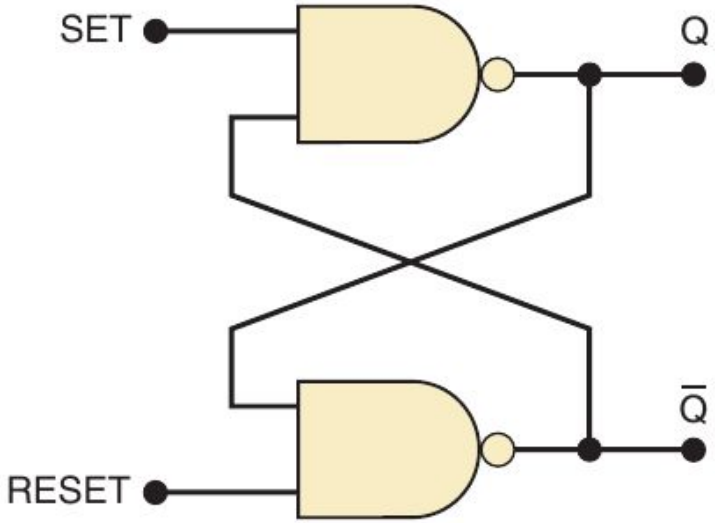
Uma situação absurda!

Após o fim do pulso, o resultado vai depender de quem retorna para alto antes (set ou reset).

Se ambos voltam para alto “ao mesmo tempo”, não podemos predizer o resultado.

De forma geral, enviar um nível lógico baixo para set e reset ao mesmo tempo nos levará a **comportamentos indesejados e/ou imprevisíveis!**

Latch com NAND - Resumo

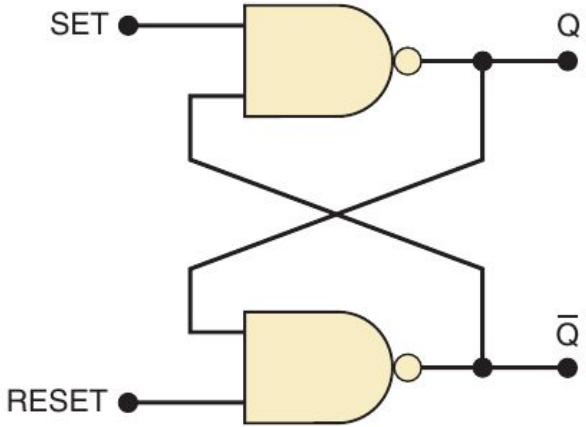


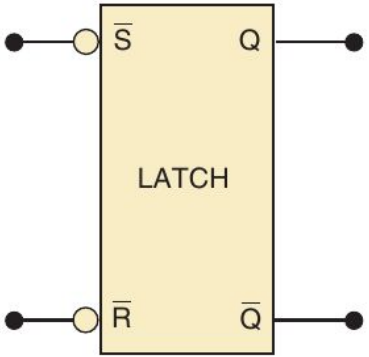
Set	Reset	Output
1	1	No change
0	1	Q = 1
1	0	Q = 0
0	0	Invalid *

*Produces $Q = \overline{Q} = 1$.

Latch com NAND

Como **S**et e **R**eset devem estar em 1 para manter o lach estável, o latch NAND geralmente é representado com S e R negados.





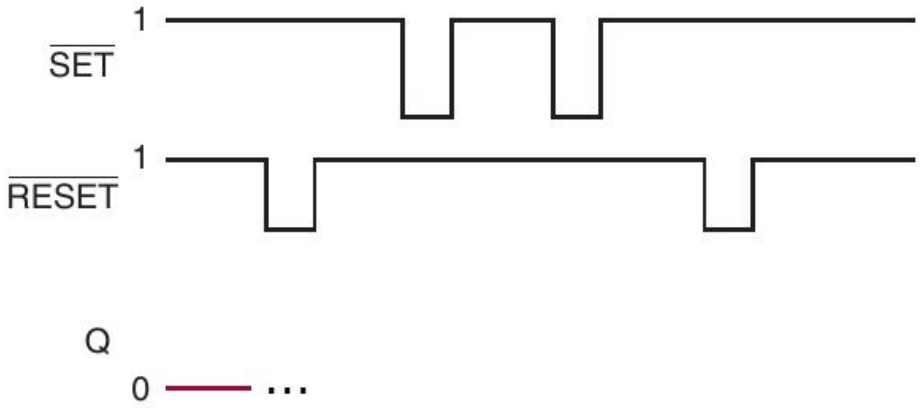
Faça você mesmo

Faça o diagrama de temporização para o Latch.

Considere que Q está inicialmente em 0.

Como será o sinal em Q?

Como será o sinal em $\overline{Q}$?



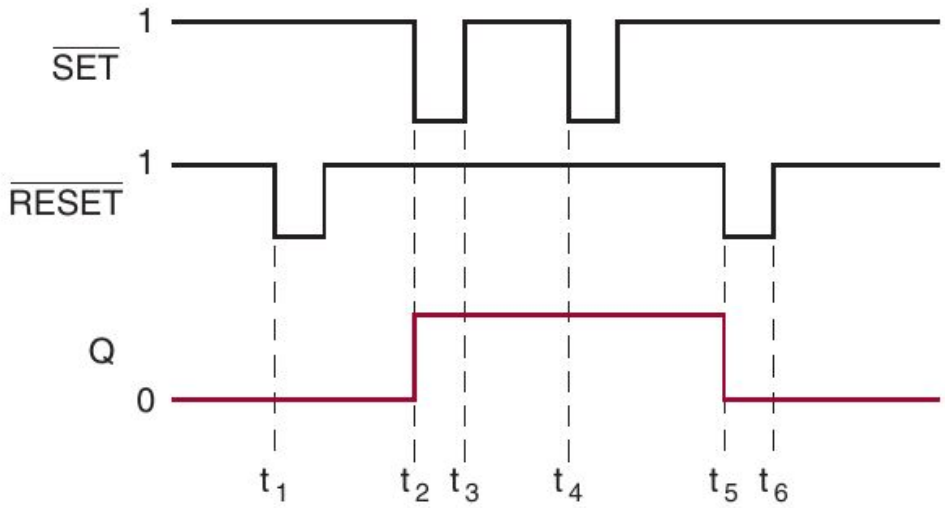
Faça você mesmo

Faça o diagrama de temporização para o Latch.

Considere que Q está inicialmente em 0.

Como será o sinal em Q?

Como será o sinal em $\overline{Q}$?



Latch com NOR

Podemos seguir um raciocínio similar ao utilizado com NANDs para construir um latch com NORs.

Uma das diferenças principais é que set e reset ficam em nível lógico baixo.

Um nível lógico alto é enviado somente quando desejamos enviar um **S**et/**R**eset.

Energizando

Ao energizar um latch, não podemos afirmar se Q=0 ou Q=1.

Depende de fatores como:

- Atrasos de propagação do circuito;
- Capacitâncias parasitas.

Se o latch precisa ser iniciado em determinado estado, como podemos proceder?

Energizando

Ao energizar um latch, não podemos afirmar se Q=0 ou Q=1.

Depende de fatores como:

- Atrasos de propagação do circuito;
- Capacitâncias parasitas.

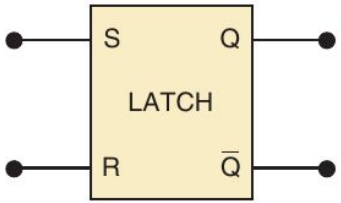
Se o latch precisa ser iniciado em determinado estado, como podemos proceder?

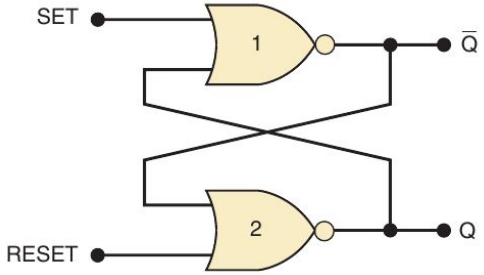
- Aciona-se o seu **S**et ou **R**eset ao energizar o latch.
  - Dependendo se desejamos que o estado inicial seja 0 ou 1.

Exercícios

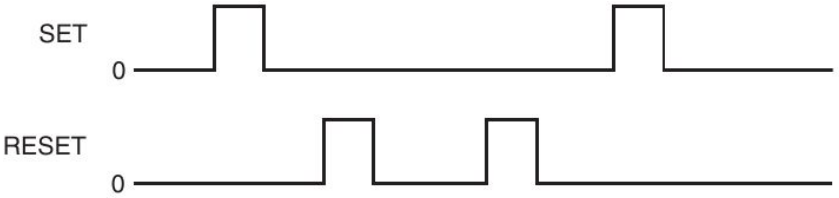
1. Faça a mesma análise realizada para o latch NAND no latch de NORs.
   Preencha a tabela a seguir com a saída esperada em Q em caso de **S**et/**R**eset.
   Compare seus resultados com Tocci et al (2017).

Set	Reset	Output
0	0	
1	0	
0	1	
1	1	Invalid *



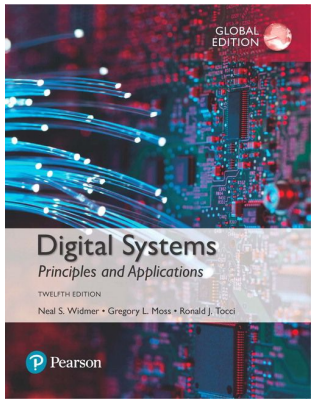


2. Considere o diagrama de temporização a seguir para as entradas **S**et e **R**eset de um Latch NOR. Considerando que Q está inicialmente em 0, como será o sinal em Q e $\overline{Q}$?

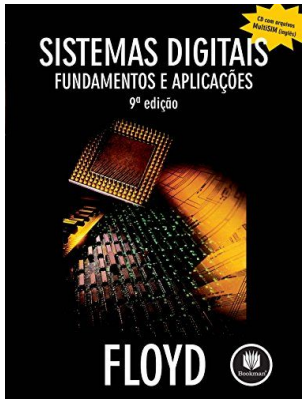


Referências

Ronald J. Tocci, Gregory L. Moss, Neal S. Widmer. Sistemas digitais. 10a ed. 2017.



Thomas Floyd. Sistemas Digitais: Fundamentos e Aplicações. 2009.



Licença